

TIMER

1. Présentation

STM32F207 dispose de 14 timers et deux watchdogs . tous les timers peuvent être bloqués en mode débogage. Le tableau suivant présente Les caractéristiques de chaque timer :

Type de timer	Timer	Résolution du Compteur	Type de comptage	Prédiviseur	Génération de demande de DMA	Canaux Capteur/ Comparaison	Sortie complémentaire
Avancé	TIM1 TIM8	16 bits	Up, Down, Up/down	1 à 65536	Oui	4	Oui
Usage général	TIM2 TIM5	32 bits	Up, Down, Up/down	1 à 65536	Oui	4	Non
	TIM3 TIM4	16 bits	Up, Down, Up/down	1 à 65536	Oui	4	Non
simple	TIM6 TIM7	16 bits	Up,	1 à 65536	Oui	0	Non
Usage général	TIM9	16 bits	Up,	1 à 65536	Non	2	Non
	TIM10 TIM11	16 bits	Up,	1 à 65536	Non	1	Non
	TIM12	16 bits	Up,	1 à 65536	Non	2	Non
	TIM13 TIM14	16 bits	Up,	1 à 65536	Non	1	Non

Dans ce cours nous allons étudier TIM10 et particulièrement au mode PWM .

2. Timer TIM10

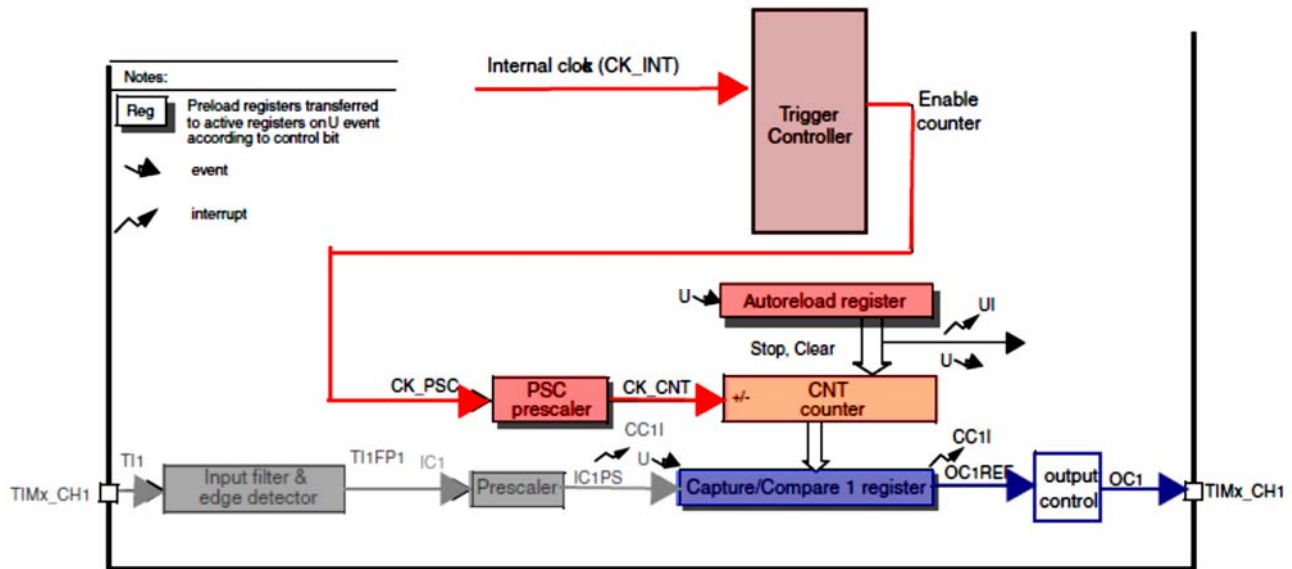
2.1. Caractéristiques

Ce timer a les caractéristiques suivantes :

- Registre 16 bits qui fonctionne en mode comptage avec rechargement automatique.
- Un prédiviseur programmable de 16 bits (division par 1 à 65536)
- Module CCP qui peuvent être utilisé :
 - Entrée de capture
 - Sortie de comparaison
 - Génération de PWM
 - Une seule impulsion de sortie

- Interruption générée sur les événements suivants :
 - Débordement du compteur ou initialisation du compteur (de manière logicielle).
 - Entrée de capture.
 - Sortie de comparaison.

2.2. Schéma bloc

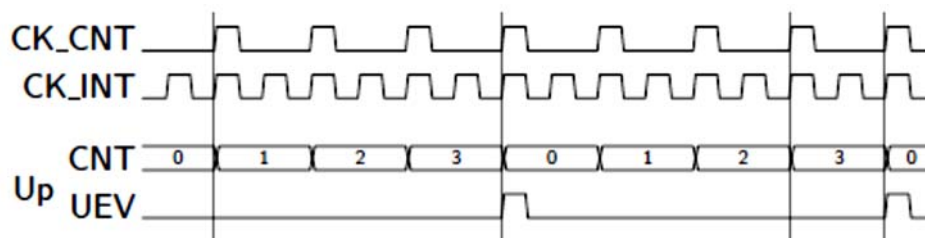


2.3. Fonctionnement du timer

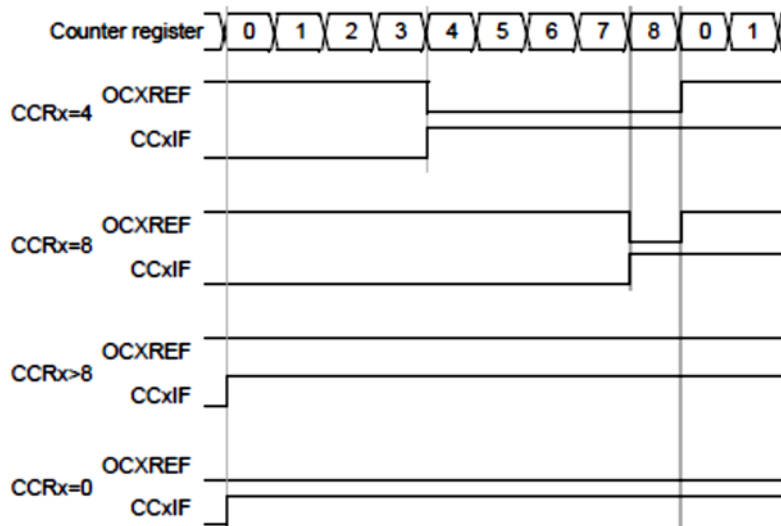
Le timer est composé de :

- Contrôleur de déclenchement
- Un prédiviseur (Prescaler : PSC)
- Un compteur 16 bits (CNT)
- Un registre d'auto-rechargement (AutoReload Register :ARR)
- Un module capture/Comparaison

Le prédiviseur divise la fréquence d'entrée par une valeur comprise entre 1 et 65536. Le compteur s'incrémente jusqu'au contenu du registre ARR ; repasse à zéro et génère un événement de mise à jour (Update Event : UEV) et positionne le bit UIF.



En mode PWM, la période est définie par le contenu du registre TIMx_ARR et le rapport cyclique par le contenu du registre TIMx_CCR1. La sortie du comparateur OC1REF est mise au niveau haut lorsque le contenu du compteur est inférieur au contenu du registre TIMx_CCR1, et placée au niveau bas dans le cas contraire.



3. Registres du timer

3.1. TIMx_CR1 : Control register (x :10,11,13,14)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved						CKD[1:0]		ARPE	Reserved				URS	UDIS	CEN
						rw	rw	rw					rw	rw	rw

Après RESET : 0x0000

Bits 15-10 : Réservés

Bits 9-8 : **CKD** : Clock Division : valeur de division de CK_INT pour les sorties ETR ou Tix.

00 : $T_{DFS} = CK_INT$; 01 : $T_{DFS} = 2*CK_INT$; 10 : $T_{DFS} = 4*CK_INT$; 11 : réservé;

Bit 7 : **ARPE** : Auto-reload preload enable

0 : TIMx_ARR non bufférisé ; 1 : TIMx_ARR bufférisé

Bits 6-3 : Réservés

Bit 2 : **URS** : Update request source

Ce bit mis à 1 ou 0 par logiciel pour définir la source d'un UEV

0 : tous les événements suivants génèrent une interruption si elle activé.

- Débordement du compteur (Underflow/Overflow).
- Mettre à 1 le bit UG.

1 : seul le débordement (Underflow/Overflow) génère un UEV s'il est activé.

Bit 1 : **UDIS** : Update disable

Ce bit mis à 1 ou 0 par logiciel pour activer/désactiver la génération d'un UEV

0 : UEV activé. UEV est généré par l'un des événements suivants :

- Débordement du compteur (Underflow/Overflow).
- Mettre à 1 le bit UG

Les registres buffers sont chargés par les valeurs de préchargement.

1 : UEV désactivé. UEV n'est pas généré ; les registres buffers (ARR, PSP, CCRx) maintiennent leurs valeurs. Cependant le compteur et le prédiviseur sont initialisés par la mise à 1 du bit UG.

Bit 0 : **CEN** : Counter Enable

0 : comptage désactivé

1 : comptage validé

CEN est remis à zéro automatiquement en mode One-pulse lors de l'occurrence d'un UEV.

3.2. TIMx_SR : Status register (x :10,11,13,14)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved						CC1OF	Reserved						CC1IF	UIF	
						rc_w0							rc_w0		

Bits 15-10 : réservés

Bit 9 : **CC1OF** : utilisé en mode capture

Bits 8-2 : Réservés

Bit 1 : **CCIF** : Capture/compare 1 interrupt flag. Ce bit est positionné par le matériel et doit être remis à 0 par logiciel.

0 : en mode compare, pas d'égalité

1 : en mode compare CNT = CCR1.

Bits 0 : **UIF** : Update interrupt flag. Ce bit est positionné par le matériel et doit être remis à 0 par logiciel.

0 : pas d'occurrence d'UEV

1 : ce bit est mis à 1 quand le registre est mis à jour :

- En cas de débordement (Overflow) si le bit UDIS = 0.
- Lorsque CNT est réinitialisé par un logiciel via le bit UG du TIMx_EGR registre, si URS=0 et UDIS=0.

3.3. TIMx_EGR : event generation register (x :10,11,13,14)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved														CC1G	UG
														w	w

Bits 15-2 : réservés

Bit 1 : **CC1G** : Capture/compare 1 generation. Ce bit est positionné par logiciel et remis automatiquement à 0 par le matériel.

0 : en mode compare, pas d'égalité

1 : en mode compare CNT = CCR1.

Bits 0 : **UG** : Update generation. Ce bit est mis par le logiciel afin de générer un UEV, il est automatiquement effacé par le matériel.

0: Aucune action

1: Réinitialise le compteurs et généré un UEV..

3.4. TIMx_CCMR1 : capture/compare mode register 1 (x :10,11,13,14)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved									OC1M[2:0]				OC1PE	OC1FE	CC1S[1:0]	
Reserved								IC1F[3:0]				IC1PSC[1:0]				
								r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	

Bits 15-7 : réservés

Bit 6-4 : **CC1M**[2:0] : Output compare 1 mode. Ces bits définissent le comportement du signal de référence OC1REF de la sortie OC1. OC1REF est actif au niveau haut alors que le niveau actif de OC1 dépend du bit CC1P.

000: .figer l'égalité entre le registre TIMx_CCR1 et le compteur TIMx_CNT n'a aucun effet sur les sorties.

001: le signal OC1REF est forcé niveau haut lorsque TIMx_CNT = TIMx_CCR1.

010: le signal OC1REF est forcé niveau bas lorsque TIMx_CNT = TIMx_CCR1.

011: changement d'état de OC1REF lorsque TIMx_CNT = TIMx_CCR1.

100: Forcer niveau inactif - OC1REF est forcé à .0

101: Force de niveau actif - OC1REF est forcé à 1.

110: mode PWM 1 - canal 1 est actif tant que TIMx_CNT <TIMx_CCR1, sinon inactif.

111: mode PWM 2 - Canal 1 est inactif tant que TIMx_CNT <TIMx_CCR1, sinon actif.

Bits 3 : **OC1PE** : Output compare 1 preload enable

0: TIMx_CCR1 peut être écrit à tout moment, la nouvelle valeur est prise en compte immédiatement.

1: l'écriture dans registre TIMx_CCR1 est prise en compte à chaque UEV.

Bits 2 : **OC1FE** : Output compare 1 fast enable

Ce bit est utilisé uniquement en mode PWM1 et PWM2 pour réduire le temps de latence.

Bits 1 -0 : **CC1S**: Capture/Compare 1 selection

Ces bits définissent la direction du canal 1.

00: CC1 canal 1 est configuré en sortie.

01: CC1 canal 1 est configuré entrée.

10: Réserve

11: Réserve