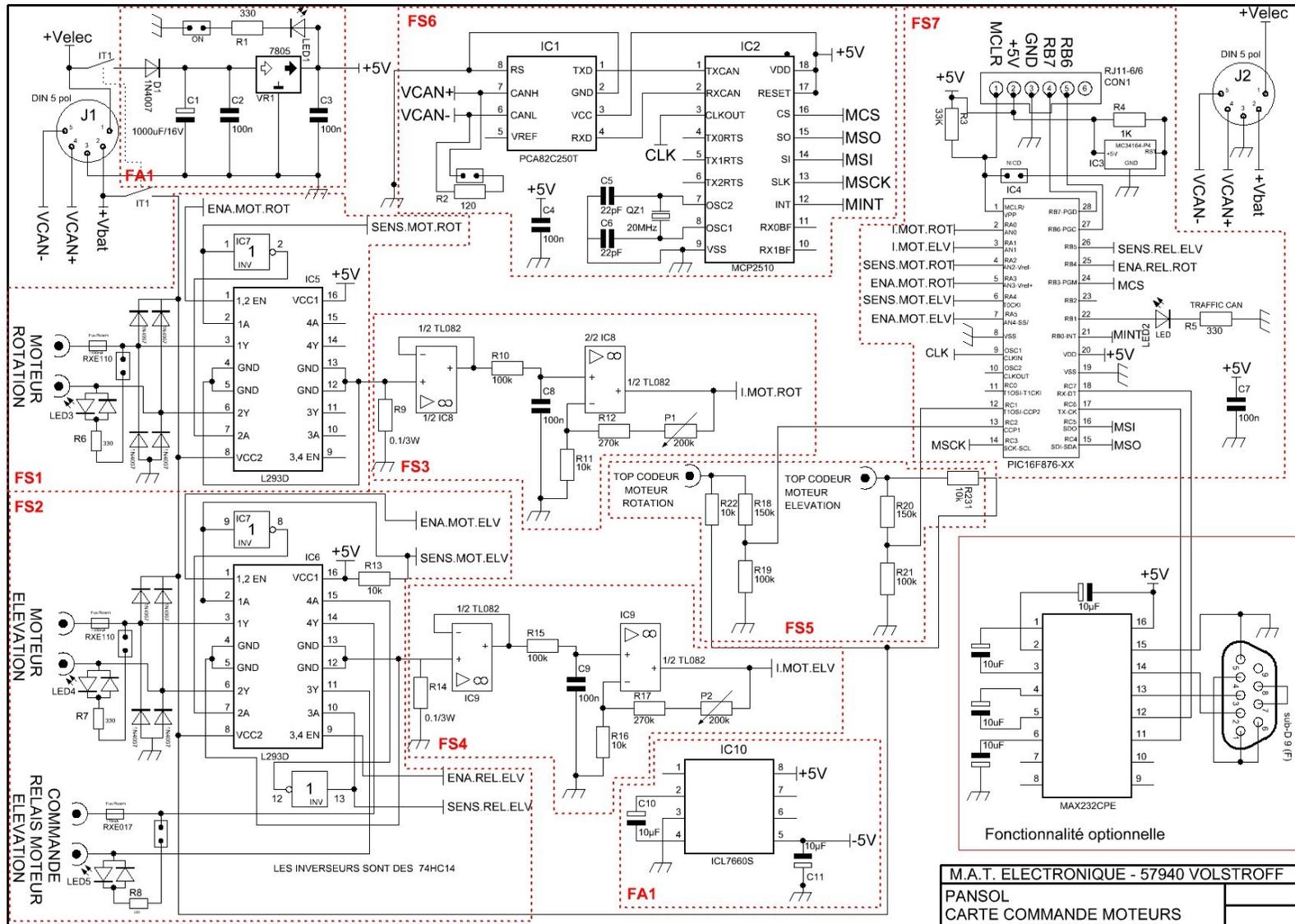
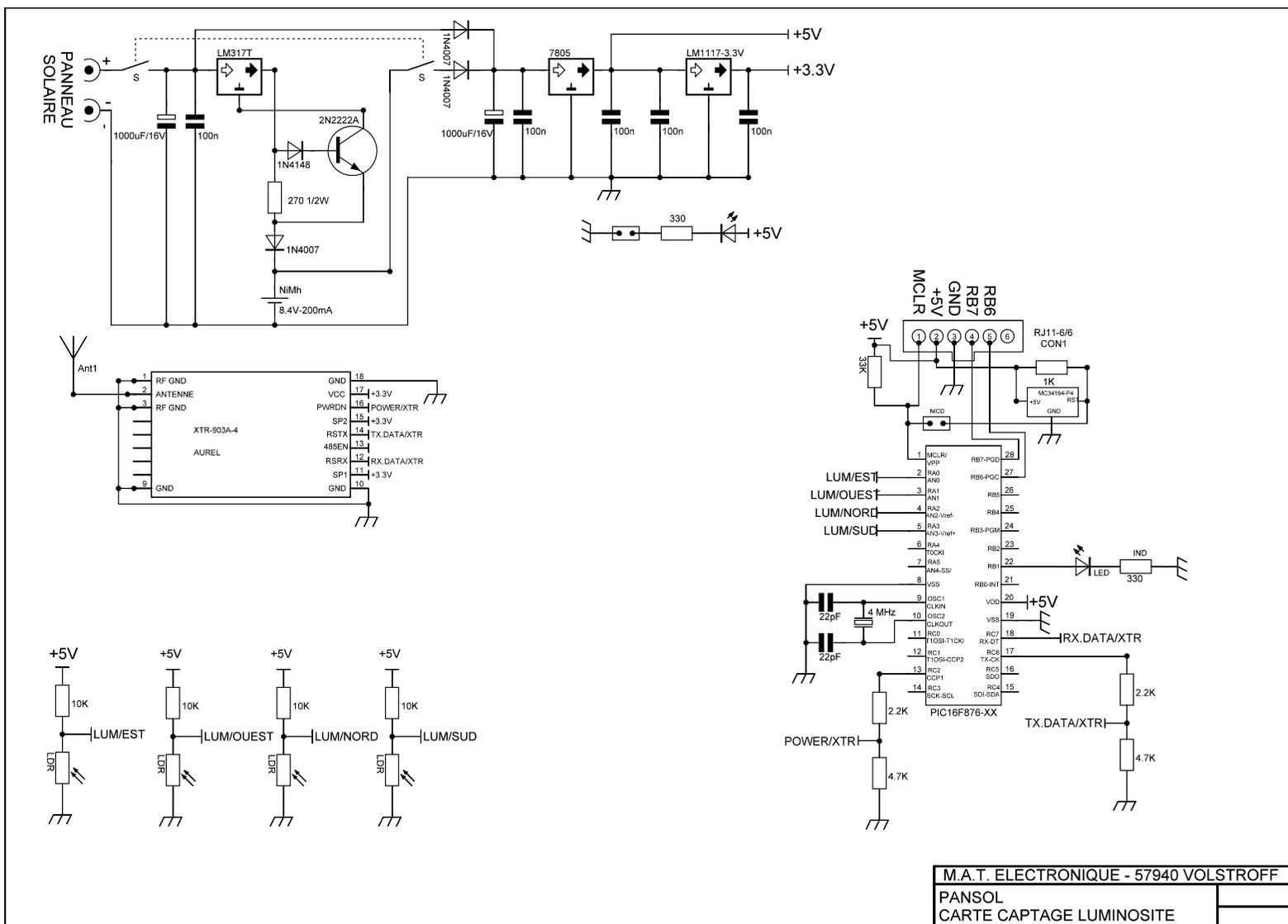
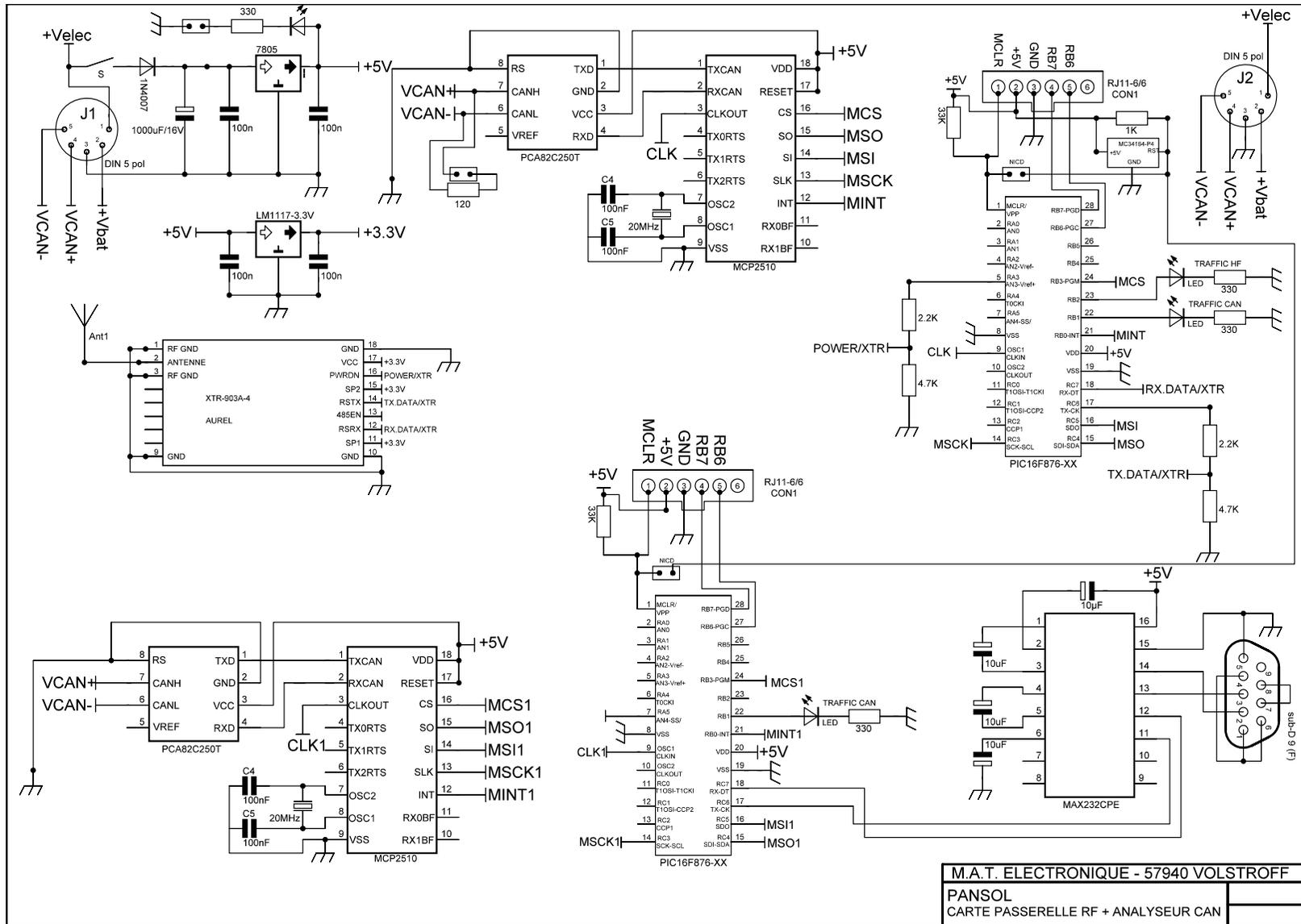


### A1.1 – Module énergie



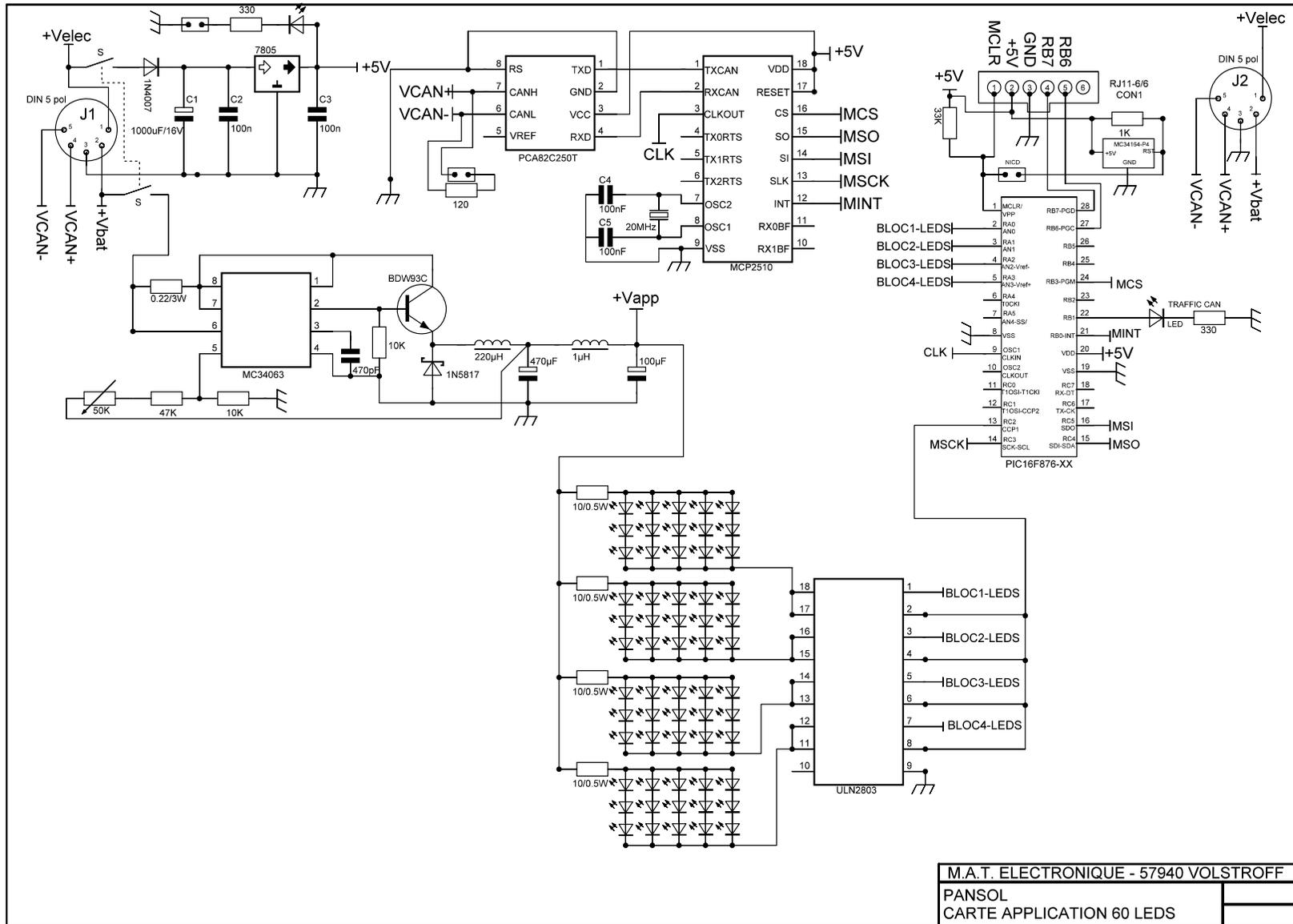


### A1.3 – Module de luminosité



A1.4 – Module CAN/HF





A1.6 – Module d’éclairage



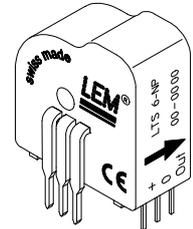
## Annexe A2

# Capteur de courant LTS 6-NP

Pour la mesure électronique des courants : DC, AC, Impulsionnels, mixtes, avec une isolation galvanique entre le circuit primaire (courant fort) et le circuit secondaire (circuit électronique).



$$I_{PN} = 2-3-6 A$$



## Caractéristiques électriques principales

$I_{PN}$	Courant primaire efficace nominal	6	At
$I_P$	Courant primaire, plage de mesure	0 .. ± 19.2	At
$V_{OUT}$	Tension de sortie analogique @ $I_P$	$2.5 \pm (0.625 \cdot I_P / I_{PN})$	V
	$I_P = 0$	2.5 <sup>1)</sup>	V
$N_S$	Nombre de spires secondaires (± 0.1 %)	2000	
$R_L$	Résistance de charge	≥ 2	kΩ
$R_{IM}$	Résistance de mesure interne (± 0.5 %)	208.33	Ω
$TCR_{IM}$	Dérive en température de $R_{IM}$	< 50	ppm/K
$V_C$	Tension d'alimentation (± 5 %)	5	V
$I_C$	Courant de consommation @ $V_C = 5 V$	Typ $23 + I_S^{(2)} + (V_{OUT} / R_L)$	mA
$V_d$	Tension efficace d'essai diélectrique, 50/60 Hz, 1 mn	3	kV
$V_e$	Tension efficace d'extinction des décharges partielles @ 10 pC	> 1.5	kV
$\hat{V}_w$	Tension de tenue aux chocs 1.2/50μs	> 8	kV

## Précision - performances dynamiques

$X$	Précision @ $I_{PN}, T_A = 25^\circ C$	± 0.2	%
$X$	Précision avec $R_{IM}$ @ $I_{PN}, T_A = 25^\circ C$	± 0.7	%
$\mathcal{E}_L$	Linéarité	< 0.1	%
		Typ	Max
$TCV_{OUT}$	Dérive en température de $V_{OUT}$ @ $I_P = 0 - 10^\circ C .. + 85^\circ C$	200	460 ppm/K
$TCE_G$	Dérive en température du gain - $10^\circ C .. + 85^\circ C$		50 <sup>3)</sup> ppm/K
$V_{OM}$	Tension résiduelle @ $I_P = 0$ , après une surintensité de		
	$3 \times I_{PN}$	± 0.5	mV
	$5 \times I_{PN}$	± 2.0	mV
	$10 \times I_{PN}$	± 2.0	mV
$t_{ra}$	Temps de réaction @ 10 % de $I_{PN}$	< 50	ns
$t_r$	Temps de retard @ 90 % de $I_{PN}$	< 400	ns
$di/dt$	di/dt correctement suivi	> 15	A/μs
$f$	Bande passante (0 .. - 0.5 dB)	DC .. 100	kHz
	(- 0.5 .. 1 dB)	DC .. 200	kHz

## Caractéristiques générales

$T_A$	Température ambiante de service	- 10 .. + 85	°C
$T_S$	Température ambiante de stockage	- 25 .. + 100	°C
	Groupe de matériau	IIIa	
$m$	Masse	10	g
	Normes <sup>4)</sup>	EN 50178	
		EN 60950	

Notes : 1) Valeur absolue @  $T_A = 25^\circ C$ ,  $2.475 < V_{OUT} < 2.525$

2) Voir schéma de principe au recto

3) Seulement dû à  $TCR_{IM}$

4) Spécifications selon CEI 1000-4-3 non garanties entre 180 et 220 MHz.

## Généralités

- Capteur de courant multi-calibre de type boucle fermée (à compensation) utilisant l'effet Hall
- Tension d'alimentation unipolaire
- Conception compacte pour montage sur circuit imprimé
- Boîtier injecté en matière isolante auto-extinguible de classe UL 94-V0
- Résistance de mesure incorporée
- Plage de mesure étendue.

## Avantages

- Excellente précision
- Très bonne linéarité
- Faible dérive en température
- Temps de retard optimal
- Bande passante élevée
- Pas de pertes d'insertion apportées dans le circuit à mesurer
- Grande immunité aux perturbations extérieures
- Surcharges de courant supportées sans dommage.

## Applications

- Variateurs de vitesse et entraînements à servomoteur AC
- Convertisseurs statiques pour entraînements à moteur DC
- Applications alimentées par batteries
- Alimentations Sans Interruption (ASI)
- Alimentations à découpage
- Alimentations pour applications de soudage.

Modèle déposé.

020412/5

**Dimensions LTS 6-NP (en mm)**

**Schéma de principe**

Capteur à boucle fermée  
 $I_s = I_p / N_s = \pm 3 \text{ mA} @ I_p = \pm 6 \text{ At}$

Nombre de spires primaires	Courant primaire efficace nominal $I_{PN}$ [A]	Tension de sortie nominale $V_{OUT}$ [V]	Résistance primaire $R_p$ [mΩ]	Inductance d'insertion primaire $L_p$ [μH]	Raccordement recommandé
1	± 6	$2.5 \pm 0.625$	0.18	0.013	
2	± 3	$2.5 \pm 0.625$	0.81	0.05	
3	± 2	$2.5 \pm 0.625$	1.62	0.12	

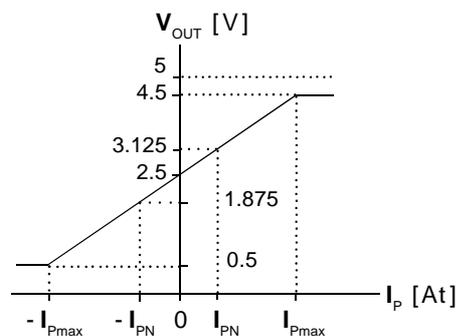
**Caractéristiques mécaniques**

- Tolérance générale  $\pm 0.2 \text{ mm}$
- Fixation et connexion primaire  
6 picots  $0.7 \times 0.8 \text{ mm}$   
 $\varnothing$  de perçage recommandé  $1.3 \text{ mm}$
- Fixation et connexion secondaire  
3 picots  $0.5 \times 0.35 \text{ mm}$   
 $\varnothing$  de perçage recommandé  $0.8 \text{ mm}$
- Trou de passage primaire supplémentaire  $\varnothing 3.2 \text{ mm}$

**Remarque générale**

- $V_{OUT}$  est positif lorsque  $I_p$  circule des bornes 1, 2, 3 vers les bornes 6, 5, 4.

**Tension de sortie - Courant primaire**



LEM se réserve le droit d'apporter certaines modifications sur ses capteurs, dans le sens d'une amélioration, ceci sans avis spécial.

## Super Voltage Converter

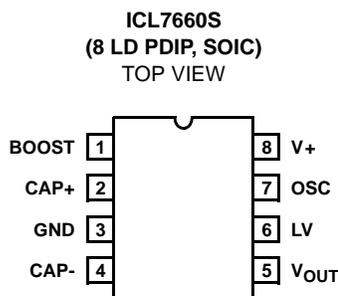
The ICL7660S Super Voltage Converter is a monolithic CMOS voltage conversion IC that guarantees significant performance advantages over other similar devices. It is a direct replacement for the industry standard ICL7660 offering an **extended** operating supply voltage range up to 12V, with **lower** supply current. **No external diode** is needed for the ICL7660S. In addition, a **Frequency Boost pin** has been incorporated to enable the user to achieve lower output impedance despite using smaller capacitors. All improvements are highlighted in the "Electrical Specifications" section on page 3. **Critical parameters are guaranteed over the entire commercial, industrial and military temperature ranges.**

The ICL7660S performs supply voltage conversion from positive to negative for an input range of 1.5V to 12V, resulting in complementary output voltages of -1.5V to -12V. Only 2 non-critical external capacitors are needed for the charge pump and charge reservoir functions. The ICL7660S can be connected to function as a voltage doubler and will generate up to 22.8V with a 12V input. It can also be used as a voltage multiplier or voltage divider.

The chip contains a series DC power supply regulator, RC oscillator, voltage level translator, and four output power MOS switches. The oscillator, when unloaded, oscillates at a nominal frequency of 10kHz for an input supply voltage of 5.0V. This frequency can be lowered by the addition of an external capacitor to the "OSC" terminal, or the oscillator may be over-driven by an external clock.

The "LV" terminal may be tied to GND to bypass the internal series regulator and improve low voltage (LV) operation. At medium to high voltages (3.5V to 12V), the LV pin is left floating to prevent device latchup.

## Pinout



## Features

- Guaranteed Lower Max Supply Current for All Temperature Ranges
- Wide Operating Voltage Range 1.5V to 12V
- 100% Tested at 3V
- No External Diode Over Full Temperature and Voltage Range
- Boost Pin (Pin 1) for Higher Switching Frequency
- Guaranteed Minimum Power Efficiency of 96%
- Improved Minimum Open Circuit Voltage Conversion Efficiency of 99%
- Improved SCR Latchup Protection
- Simple Conversion of +5V Logic Supply to ±5V Supplies
- Simple Voltage Multiplication  $V_{OUT} = (-)nV_{IN}$
- Easy to Use - Requires Only 2 External Non-Critical Passive Components
- Improved Direct Replacement for Industry Standard ICL7660 and Other Second Source Devices
- Pb-Free Available (RoHS Compliant)

## Applications

- Simple Conversion of +5V to ±5V Supplies
- Voltage Multiplication  $V_{OUT} = \pm nV_{IN}$
- Negative Supplies for Data Acquisition Systems and Instrumentation
- RS232 Power Supplies
- Supply Splitter,  $V_{OUT} = \pm V_S/2$

CAUTION: These devices are sensitive to electrostatic discharge; follow proper IC Handling Procedures.

1-888-INTERSIL or 1-888-468-3774 | Intersil (and design) is a registered trademark of Intersil Americas Inc.

Copyright © Intersil Americas Inc. 2004, 2005, 2008. All Rights Reserved

All other trademarks mentioned are the property of their respective owners.



Annexe B1

L293, L293D

SLRS008D – SEPTEMBER 1986 – REVISED JANUARY 2016

L293x Quadruple Half-H Drivers

1 Features

- Wide Supply-Voltage Range: 4.5 V to 36 V
- Separate Input-Logic Supply
- Internal ESD Protection
- High-Noise-Immunity Inputs
- Output Current 1 A Per Channel (600 mA for L293D)
- Peak Output Current 2 A Per Channel (1.2 A for L293D)
- Output Clamp Diodes for Inductive Transient Suppression (L293D)

2 Applications

- Stepper Motor Drivers
- DC Motor Drivers
- Latching Relay Drivers

3 Description

The L293 and L293D devices are quadruple high-current half-H drivers. The L293 is designed to provide bidirectional drive currents of up to 1 A at voltages from 4.5 V to 36 V. The L293D is designed to provide bidirectional drive currents of up to 600-mA at voltages from 4.5 V to 36 V. Both devices are designed to drive inductive loads such as relays, solenoids, DC and bipolar stepping motors, as well as other high-current/high-voltage loads in positive-supply applications.

Each output is a complete totem-pole drive circuit, with a Darlington transistor sink and a pseudo-Darlington source. Drivers are enabled in pairs, with drivers 1 and 2 enabled by 1,2EN and drivers 3 and 4 enabled by 3,4EN.

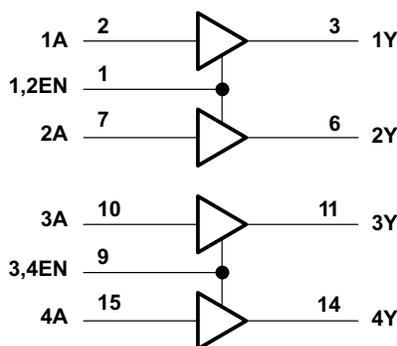
The L293 and L293D are characterized for operation from 0°C to 70°C.

Device Information<sup>(1)</sup>

PART NUMBER	PACKAGE	BODY SIZE (NOM)
L293NE	PDIP (16)	19.80 mm x 6.35 mm
L293DNE	PDIP (16)	19.80 mm x 6.35 mm

(1) For all available packages, see the orderable addendum at the end of the data sheet.

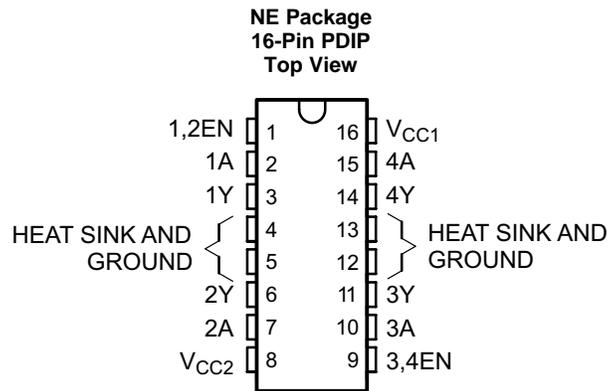
Logic Diagram



An IMPORTANT NOTICE at the end of this data sheet addresses availability, warranty, changes, use in safety-critical applications, intellectual property matters and other important disclaimers. PRODUCTION DATA.



### 3 Pin Configuration and Functions



#### Pin Functions

PIN		TYPE	DESCRIPTION
NAME	NO.		
1,2EN	1	I	Enable driver channels 1 and 2 (active high input)
<1:4>A	2, 7, 10, 15	I	Driver inputs, noninverting
<1:4>Y	3, 6, 11, 14	O	Driver outputs
3,4EN	9	I	Enable driver channels 3 and 4 (active high input)
GROUND	4, 5, 12, 13	—	Device ground and heat sink pin. Connect to printed-circuit-board ground plane with multiple solid vias
V <sub>CC1</sub>	16	—	5-V supply for internal logic translation
V <sub>CC2</sub>	8	—	Power VCC for drivers 4.5 V to 36 V

## 4 Detailed Description

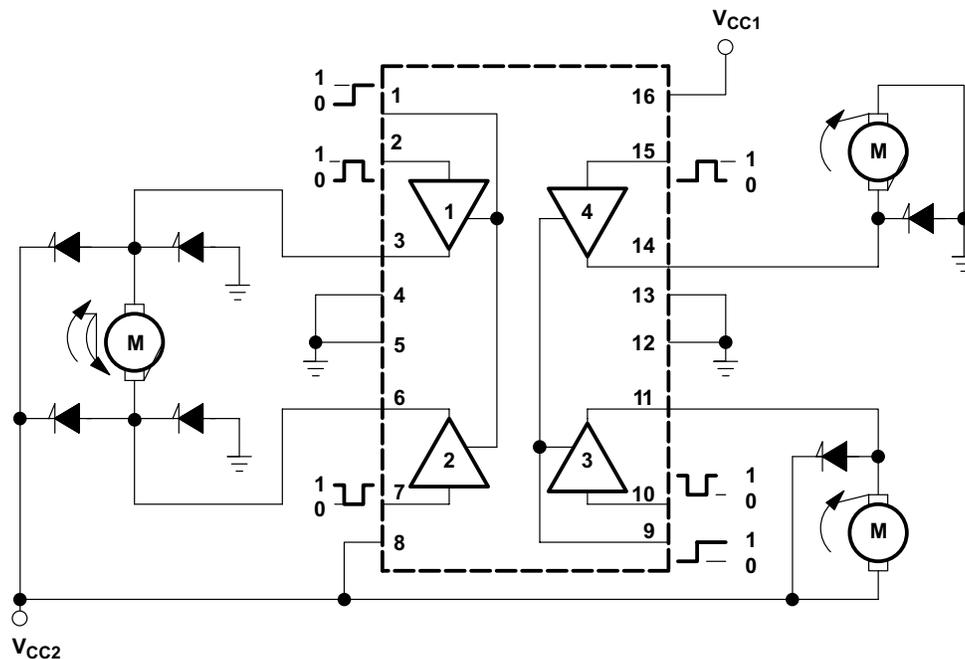
### 4.1 Overview

The L293 and L293D are quadruple high-current half-H drivers. These devices are designed to drive a wide array of inductive loads such as relays, solenoids, DC and bipolar stepping motors, as well as other high-current and high-voltage loads. All inputs are TTL compatible and tolerant up to 7 V.

Each output is a complete totem-pole drive circuit, with a Darlington transistor sink and a pseudo-Darlington source. Drivers are enabled in pairs, with drivers 1 and 2 enabled by 1,2EN and drivers 3 and 4 enabled by 3,4EN. When an enable input is high, the associated drivers are enabled, and their outputs are active and in phase with their inputs. When the enable input is low, those drivers are disabled, and their outputs are off and in the high-impedance state. With the proper data inputs, each pair of drivers forms a full-H (or bridge) reversible drive suitable for solenoid or motor applications.

On the L293, external high-speed output clamp diodes should be used for inductive transient suppression. On the L293D, these diodes are integrated to reduce system complexity and overall system size. A  $V_{CC1}$  terminal, separate from  $V_{CC2}$ , is provided for the logic inputs to minimize device power dissipation. The L293 and L293D are characterized for operation from 0°C to 70°C.

### 4.2 Functional Block Diagram



Output diodes are internal in L293D.

### 4.3 Feature Description

The L293x has TTL-compatible inputs and high voltage outputs for inductive load driving. Current outputs can get up to 2 A using the L293.

L293, L293D

SLRS008D – SEPTEMBER 1986 – REVISED JANUARY 2016

www.ti.com

4.4 Device Functional Modes

Table 1 lists the functional modes of the L293x.

Table 1. Function Table (Each Driver)<sup>(1)</sup>

INPUTS <sup>(2)</sup>		OUTPUT (Y)
A	EN	
H	H	H
L	H	L
X	L	Z

- (1) H = high level, L = low level, X = irrelevant, Z = high impedance (off)
- (2) In the thermal shutdown mode, the output is in the high-impedance state, regardless of the input levels.

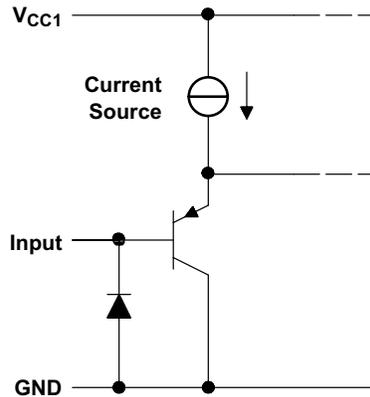


Figure 3. Schematic of Inputs for the L293x

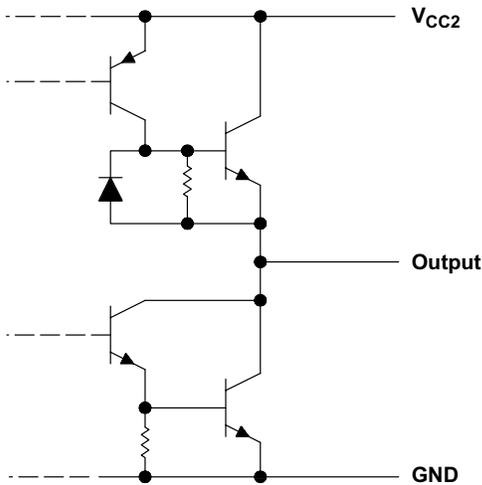


Figure 4. Schematic of Outputs for the L293

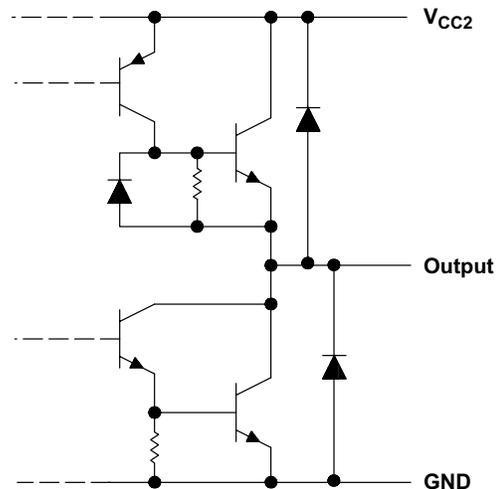
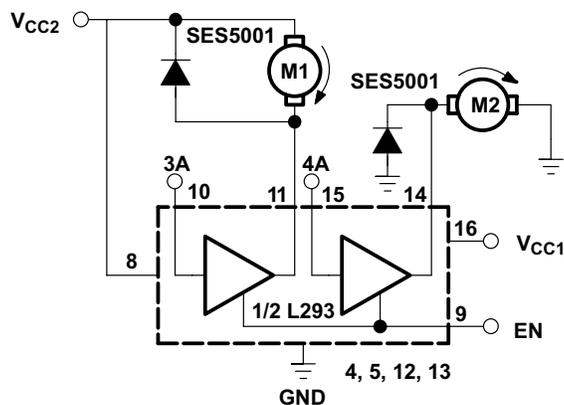


Figure 5. Schematic of Outputs for the L293D

5 System Examples

5.1 DC Motor Controls

Figure 9 and Figure 10 below depict a typical setup for using the L293 device as a controller for DC motors. Note that the L293 device can be used as a simple driver for a motor to turn on and off in one direction, and can also be used to drive a motor in both directions. Refer to the function tables below to understand unidirectional vs bidirectional motor control. Refer to the *Recommended Operating Conditions* when considering the appropriate input high and input low voltage levels to enable each channel of the device.



Connections to ground and to supply voltage

Figure 9. DC Motor Controls

Table 2. Unidirectional DC Motor Control

EN	3A	M1 <sup>(1)</sup>	4A	M2
H	H	Fast motor stop	H	Run
H	L	run	L	Fast motor stop
L	X	Free-running motor stop	X	Free-running motor stop

(1) L = low, H = high, X = don't care

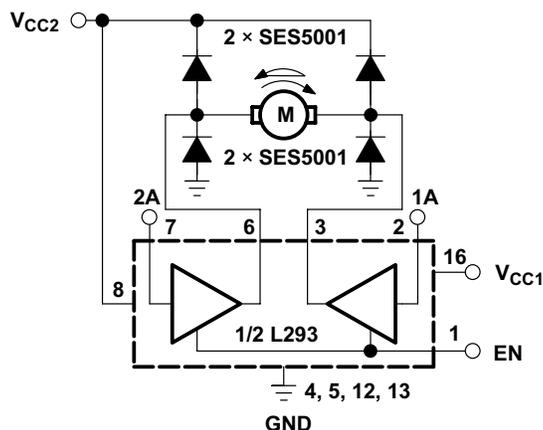


Figure 10. Bidirectional DC Motor Control

Table 3. Bidirectional DC Motor Control

EN	1A	2A	FUNCTION <sup>(1)</sup>
H	L	H	Turn right
H	H	L	Turn left
H	L	L	Fast motor stop
H	H	H	Fast motor stop
L	X	X	Free-running motor stop

(1) L = low, H = high, X = don't care

## Annexe C3 – Le Bus CAN

### 1. Introduction

#### 1.1 Origine et utilisation du réseau CAN

Au début des années 1980, les voitures commençaient à intégrer des systèmes électroniques gérant plusieurs applications électriques. Dans une première phase, ces systèmes opéraient indépendamment les uns des autres. Les équipementiers de voitures se sont alors rendus compte du problème que pose l'encombrement de ces systèmes et la complexité de leur câblage.

En 1983, le bus CAN (Controller Area Network) a été conçu par la société allemande Robert BOSCH GmbH pour répondre aux besoins de communication interne dans les automobiles : multiplexage de commandes électriques, fiabilité, diagnostic, compatibilité électromagnétique, commandes d'organes (suspension, frein, contrôle moteur). L'entreprise allemande a défini le protocole et a autorisé de nombreux autres fabricants à développer des composants compatibles CAN.

CAN est réalisé pour répondre à des impératifs de robustesse, de fiabilité, de simplicité et d'économie liés aux productions de masse de l'industrie automobile. CAN possède donc toutes les qualités pour séduire beaucoup d'industriels, soucieux de retrouver dans leurs installations ou leurs équipements, la fiabilité, la robustesse et le faible coût d'un système de communication normalisé et éprouvé.

CAN est un réseau de communication série qui supporte efficacement le contrôle en temps réel de systèmes distribués, tels qu'on peut trouver dans les automobiles, et ceci avec un très haut niveau d'intégrité au niveau des données. Avec le protocole CAN, les contrôleurs, capteurs et actionneurs communiquent entre eux à une vitesse pouvant aller jusqu'à 1 Mbits/s.

Les contrôleurs CAN sont physiquement petits, peu coûteux et entièrement intégrés. Ils sont utilisables à des débits importants, en temps réel et dans des environnements difficiles. C'est pourquoi les contrôleurs CAN ont été utilisés dans d'autres secteurs que l'automobile et des applications utilisant CAN sont aujourd'hui disponibles dans l'industrie, le bâtiment, l'agriculture, la marine, le matériel médical, etc.

Les fondeurs de silicium, tels que Philips, Intel, NEC et Siemens, proposent aujourd'hui des composants et des contrôleurs CAN. La disponibilité d'outils d'accompagnement tels que les analyseurs de réseau, les simulateurs de modules et les générateurs d'erreurs facilitent le développement et la mise en œuvre des applications basées sur CAN.

#### 1.2. CAN dans le modèle ISO/OSI

CAN est un réseau compatible au modèle de référence ISO/OSI (ISO : International Organization for Standards, OSI : Open Systems Interconnection). CAN a été normalisé par l'ISO dans les normes 11898 pour les applications à haute vitesse (jusqu'à 1 Mb/s) et ISO 11519 pour les applications à basse vitesse (jusqu'à 125 kb/s). Comme le montre la figure 1, CAN (à l'image de la quasi-totalité des réseaux locaux industriels) a une architecture en trois couches ; les couches 3 à 6 du modèle OSI sont vides dans les architectures fondées sur CAN. Les spécifications CAN s'intéressent essentiellement aux couches MAC et physique.

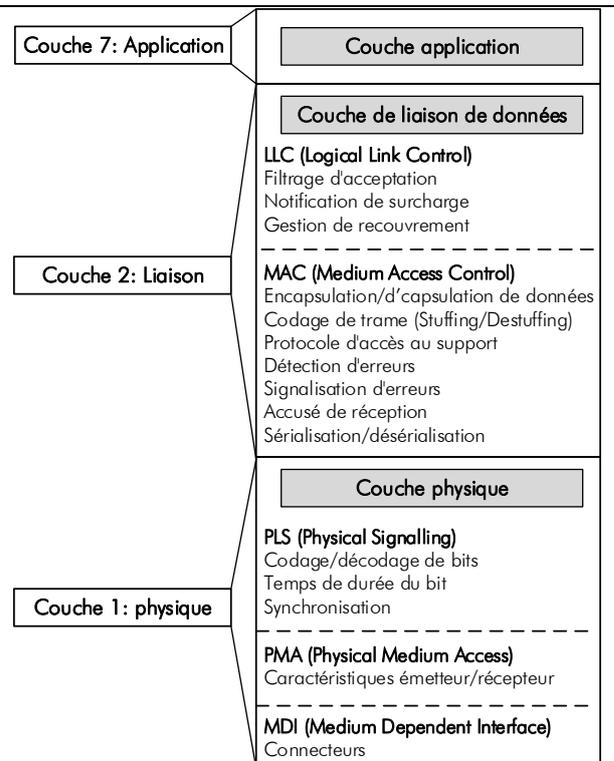


Figure 1

### 2. Fonctionnement du réseau CAN

#### 2.1. Couche Physique

##### ■ Notion de bit dominant et bit récessif

Plusieurs implantations de CAN sont possibles, mais toutes implantations doivent respecter le principe des bits dominants/récessifs. Chaque nœud doit pouvoir présenter sur le bus un bit appelé « dominant » (0 logique) et un bit appelé « récessif » (1 logique). Les implantations doivent aussi respecter la règle suivante : si deux nœuds présentent des niveaux logiques différents, le bit dominant s'impose. Le bus CAN se comporte donc comme un ET logique.

##### ■ Support, topologie et codage

Généralement, CAN utilise comme support de transmission une paire torsadée blindée ou non blindée. Les nœuds sont reliés entre eux par l'intermédiaire d'un bus série équipé de terminateurs de lignes (résistances de terminaison). Les interfaces physiques sont de type différentiel en mode tension, proche du principe de la liaison RS485. La figure 2 montre un exemple de raccordement au bus CAN.

Parmi les multiples techniques de codage existantes (NRZ, NRZI, Manchester simple, Manchester différentiel, etc.), CAN a retenu le code NRZ (Non Return to Zero) pour sa simplicité. Avec le code NRZ, la valeur du signal reste constante pendant toute la durée d'un bit.

Dans la norme ISO 11898 (haute vitesse), les nœuds détectent un bit récessif si la différence de tension entre les lignes CAN\_H et CAN\_L est inférieure ou égale à 0,5V. Ils détectent un bit dominant si cette différence est supérieure ou égale à 0,9 V. La tension nominale pour le

bit dominant est 3,5V pour la ligne CAN\_H et 1,5V pour la ligne CAN\_L.

Dans la norme ISO 11519 (basse vitesse), les nœuds détectent un bit récessif si la différence de tension entre CAN\_L et CAN\_H est de l'ordre de 1,5V. Ils détectent un bit dominant si cette différence est de l'ordre de - 3 V.

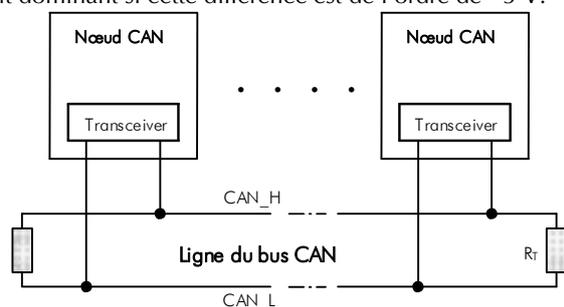
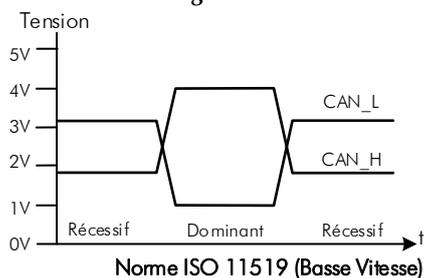
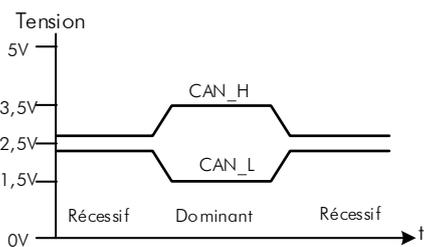


Figure 2



Norme ISO 11519 (Basse Vitesse)



Norme ISO 11898 (Haute Vitesse)

Figure 3

■ **Longueur et débit**

Lors de la définition de la couche physique, on s'intéresse au débit, à la distance et au type du support physique. La relation vitesse/distance proposée par la norme CAN dépend :

- des retards introduits à la sortie de l'émetteur et à l'entrée du récepteur ;
- de la vitesse de propagation du support de la ligne ;
- du débit binaire nominal souhaité.

A titre indicatif, le tableau 1 donne les distances maximales entre deux nœuds pour des débits standards.

Tableau 1

Débit (kbit/s)	1000	500	250	125	50
Distance Max. (m)	40	100	250	500	1000

**2.2. Spécification du bus CAN**

**2.2.1. Identificateur**

Le CAN est un système de communication, en temps réel, par liaison série conçu pour relier des composants intelligents ainsi que des capteurs et des actionneurs dans une machine ou un procédé. Il possède des propriétés multimaîtres, c'est-à-dire que plusieurs nœuds peuvent simultanément demander l'accès au bus. Le CAN ne possède pas de système d'adressage mais plutôt un système d'allocation de priorités aux messages basé sur

l'identificateur attribué à chaque message. Un émetteur transmet un message sans indication de destinataire ; sur la base de l'identificateur associé à ce message, chaque nœud décide de traiter ou d'ignorer ce message. Dans le CAN, le protocole de communication est assuré par des composants électroniques. Ce type d'adressage permet d'avoir une grande flexibilité au niveau de la configuration (figure 3). Contrairement à d'autres réseaux aucune adresse cible physique n'est prescrite du côté du protocole de transmission de données. Ainsi les valeurs de certains capteurs sont réparties sur toutes les stations du réseau évitant que chaque organe de commande n'ait son propre capteur (diffusion générale multidestinataire).

**2.2.2. Arbitrage bit à bit non destructif**

Pour le traitement temps réel des données, le débit binaire physique (ici 1 Mbit/s maximum) n'est pas le seul critère, il faut aussi que l'assignation du bus soit efficace. Comme les informations traitées n'ont pas le même niveau de priorité, un identificateur de chaque trame a été défini pour déterminer dans quelle mesure le message doit être transmis par rapport à un autre moins urgent. Ainsi le conflit d'accès au bus (tentative d'accès au bus par plusieurs stations) est résolu au moyen d'un arbitrage bit à bit par l'intermédiaire d'identificateurs respectifs (figure 4). Lorsqu'un nœud perd l'arbitrage, il devient automatiquement un récepteur de la trame en cours de transmission. Cette méthode d'accès est appelée CSMA/CA (Carrier Sense Multiple Access/Collision Avoidance).

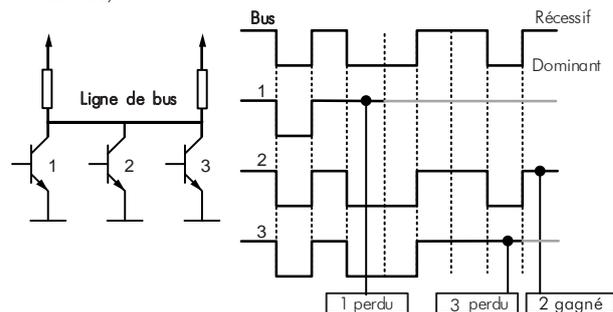


Figure 4

**2.2.1. Format des trames du bus CAN**

■ **Protocole 2.0A et 2.0B**

Le protocole CAN 2.0 comporte deux spécifications qui diffèrent uniquement au niveau de la longueur de l'identificateur. La version 2.0A définit des identificateurs de **11** bits (on parle dans ce cas de trame de format standard) et la version 2.0B des identificateurs de **29** bits (on parle dans ce cas de trame de format étendu). Nous présentons dans ce document le format standard.

■ **Types de trames**

Il y a quatre types de trames différentes :

- **DATA FRAME** : trame de données qui transporte les données d'un émetteur vers un ou des récepteurs ;
- **REMOTE FRAME** : trame de requête transmise par un nœud pour demander la transmission d'une DATA FRAME avec le même IDENTIFICATEUR ;
- **ERROR FRAME** : trame d'erreur transmise par une unité lorsqu'elle détecte une erreur de bus ;
- **OVERLOAD FRAME** : trame de surcharge utilisée pour générer un retard supplémentaire entre les trames DATA FRAME ou REMOTE FRAME

On se limite dans ce document aux trames de données et de requête.

■ **Trame de données « DATA FRAME » (figure 5)**

La trame de données, destinée à la transmission d'informations par le bus, comporte sept champs caractéristiques :

- début de trame (Start of Frame ou SOF) ;
- champ d'arbitrage (Arbitration Field) ;
- champ de contrôle (Control Field) ;
- champ de données (Arbitration Field) ;
- champ de CRC (CRC Field) ;
- champ d'acquiescement (ACK Field) ;
- fin de trame (End of Frame).

• **Début de trame :** Il est constitué d'un seul bit «dominant » signalant la transmission d'une trame de données ou d'une trame de requête. Une station est autorisée à émettre lorsque le bus est libre. Toutes les stations doivent se synchroniser sur le front de transition du bit SOF de la station qui a commencé la transmission en premier.

• **Champ d'arbitrage :** Il est composé de 11 bit ID-0 à ID-10 pour l'identificateur (Identifier) suivi d'un bit RTR (Remote Transmission Request) :

— **Identificateur :** les 11 bit associés doivent être transmis suivant l'ordre ID-10 à ID-0, ID-0 étant le bit de plus faible poids (LSB: Least Significant Bit). Il est possible de coder  $2^{11} = 2048$  messages. L'identificateur permet de déterminer la priorité du message correspondant. La priorité est d'autant plus élevée que la valeur de l'identificateur est faible ;

— **RTR :** il définit la nature de la trame ; il doit être «dominant » dans une trame de données et « récessif » dans une trame de requêtes.

• **Champ de contrôle :** Il est constitué de 6 bit dont 2 «dominants » (r0 et r1) sont en réserve et 4 (DLC0-DLC4) indiquent le nombre d'octets (Data Length Code) contenus dans le champ de données.

• **Champ de données :** Il contient jusqu'à 8 octets de données à transmettre. Les 8 bits de chaque octet sont transférés avec le MSB (Most Significant Bit) en tête.

• **Champ de CRC (Cyclic Redundancy Check) :** Il contient la séquence CRC sur 15 bit suivi d'un bit «récessif » délimiteur de CRC.

Le polynôme, dont les coefficients sont les bits de *début de trame, des champs d'arbitrage, de contrôle et de données complétés par des 0 pour les 15 coefficients des bits les moins significatifs*, est divisé par le polynôme générateur :  $X^{15} + X^{14} + X^{10} + X^8 + X^7 + X^4 + X^3 + 1$ .

Le reste de cette division polynomiale constitue la séquence CRC transmise sur le bus. Lors de sa réception, le contrôle de l'intégrité du message est réalisé en réeffectuant ce test.

• **Champ d'acquiescement :** Il est composé de 2 bit ACK SLOT et ACK DELIMITER, transmis à l'état « récessif ». Toutes les stations ayant validé la séquence CRC envoient un état « dominant » dans le bit ACK SLOT. Ainsi, le nœud émetteur sait que son message a été reçu par au moins une station.

• **Fin de trame :** C'est une séquence de 7 bit « récessifs » qui ne subit pas la règle de « bit stuffing ».

■ **Trame de requête (REMOTE FRAME)**

Dans le bus CAN, une station peut demander une information qu'elle souhaite en émettant une trame de requête (Remote frame). La station qui détient l'information répond alors en émettant la trame de données correspondante. Une trame de données est toujours prioritaire par rapport à une trame de requête. Il faut bien noter aussi que la trame de requête ne contient pas un champ de données.

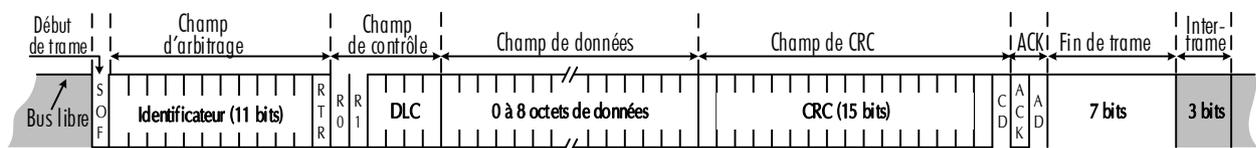
■ **Bit Stuffing (figure 6)**

CAN intègre un mécanisme dit de « bit stuffing » (ou bourrage de bits) : quand l'émetteur détecte cinq bits identiques qui se suivent, il insère automatiquement un bit de valeur complémentaire (bit stuffing) qui sera supprimé à la réception.

L'opération de « bit stuffing » s'applique seulement aux champs début de trame (SOF), arbitrage, contrôle, données et CRC ; les champs restants ont une forme fixe et ne sont pas codés par l'opération de "bit stuffing".

L'opération de "bit stuffing" permet d'améliorer les capacités de détection d'erreurs, mais elle réduit le débit utile du réseau. En effet, pour une trame qui contient *n* octets de données, l'opération de « bit stuffing » peut conduire à transmettre  $47 + 8n + \lfloor (34 + 8n) / 4 \rfloor$  bits au lieu de  $47 + 8n$  bits. Dans le pire cas, l'opération de "bit stuffing" rajoute  $\lfloor (34 + 8n) / 4 \rfloor$  bits.

$\lfloor \rfloor$  : désigne la partie entière.



- SOF : Start Of Frame
- RTR : Remote Transmission Request
- R0, R1 : réservé (toujours dominant)
- DLC : Data Length Code (de 0 à 8)
- CRC : Cyclic Redundancy Check
- CD : CRC Delimiter (toujours récessifs)
- ACK : ACKnowledgement
- AD : ACK Delimiter (toujours récessifs)

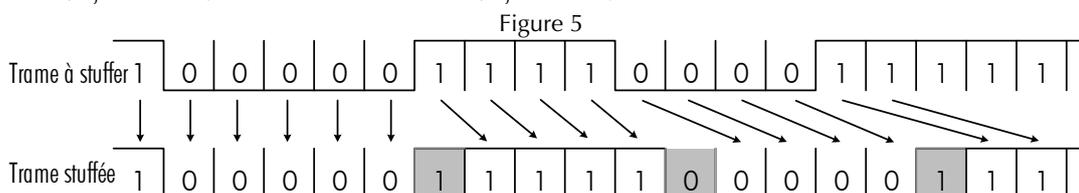


Figure 6